

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

008422834      **\*\*Image available\*\***

WPI Acc No: 1990-309835/199041

Semiconductor device for use as digital load element - has depletion

MOSFET whose conduction type of channel region is same as source and gate

NoAbstract Dwg 1/7

Patent Assignee: TOSHIBA KK (TOKE    )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 2220474</b>	A	19900903	JP 8940196	A	19890222	199041    B

Priority Applications (No Type Date): JP 8940196 A 19890222

Title Terms: SEMICONDUCTOR; DEVICE; DIGITAL; LOAD; ELEMENT; DEPLETED;  
MOSFET; CONDUCTING; TYPE; CHANNEL; REGION; SOURCE; GATE; NOABSTRACT

Derwent Class: U12; U13

International Patent Class (Additional): H01L-027/08; H01L-029/78

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03244974      \*\*Image available\*\*

SEMICONDUCTOR DEVICE

PUB. NO.:      02-220474 [JP 2220474 A]

PUBLISHED:      September 03, 1990 (19900903)

INVENTOR(s):      NAKAMURA MITSUTOSHI

APPLICANT(s):      TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      01-040196 [JP 8940196]

FILED:      February 22, 1989 (19890222)

INTL CLASS:      [5] H01L-029/784; H01L-027/088

JAPIO CLASS:      42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:      R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

JOURNAL:      Section: E, Section No. 1003, Vol. 14, No. 524, Pg. 44,  
November 16, 1990 (19901116)

#### ABSTRACT

PURPOSE: To constitute a digital circuit whose switching characteristic is good by a method wherein the film thickness of a semiconductor film deposited on the surface of an insulator is formed to be smaller than the thickness of a depletion layer formed in a channel region.

CONSTITUTION: When a voltage applied across a source and a gate is OV, a channel is formed at a load element 11. The thickness of a semiconductor film 2 formed on the surface of an insulating layer 1 is formed to be smaller than the thickness of a depletion layer formed in a channel region 19 between a source 13 and a drain 14 of the load element 11. Thereby, it is possible to obtain the load element whose characteristic is the same as that of an ideal load installed in an inverter circuit; when a digital signal in a digital circuit is handled, a high-speed switching operation can be achieved and a signal of a higher frequency can be handled easily.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-220474

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月3日

H 01 L 29/784  
27/088

8624-5F  
7735-5F

H 01 L 29/78  
27/08

3 1 1 H  
3 1 1 A

審査請求 未請求 請求項の数 3 (全6頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-40196

⑰ 出 願 平1(1989)2月22日

⑱ 発 明 者 中 村 光 利 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑲ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 則近 憲佑 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) ソース領域とゲート領域の間への印加電圧が0Vの時にチャネルが形成されているデプレッション型 MOSFET を構成するものにおいて、そのチャネルが形成されているチャネル領域の導電型と、ソース領域及びゲート領域を形成する導電型とは同一の導電型で構成し、かつソース領域及びゲート領域の不純物濃度よりチャネル領域の不純物濃度を低くして構成し、前記半導体膜の厚さを前記チャネル内に形成される空乏層の厚さより薄くしたことを特徴とする半導体装置。

(2) 半導体膜の厚さを次の式

$$2 \left[ \epsilon \phi_F / q N_A \right]^{1/2}$$

(但し、 $N_A$ は半導体膜の不純物濃度、 $\phi_F$ は禁止帯中央から測ったフェルミエネルギー、 $\epsilon$ は半導体膜の誘電率、 $q$ は電子電荷量である。)

で示される寸法以下の厚さで形成したことを特徴とする請求項1記載の半導体装置。

(3) P型半導体膜を基体として用い、空乏層の形成される領域をN<sup>-</sup>型半導体膜で形成し、ソース領域及びゲート領域をN<sup>+</sup>型高濃度拡散領域で形成したことを特徴とする請求項1記載の半導体装置。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は、デジタル回路に用いる負荷素子に好適な半導体装置に関する。

(従来の技術)

通常、インバータ回路、NAND回路あるいはNOR回路等のデジタル回路では、N型MOSFETのみで構成している場合には、負荷素子として、ディプレッション型のN型MOSFETが用いられている。この種の負荷素子としては、抵抗、エンハンスメント型MOSFETおよびディプレッション型のN型MOSFETの三種があり、第3図に示す

ように、抵抗の特性曲線91、エンハンスメント型 MOSFET の特性曲線92 およびディプレッション型の N 型 MOSFET の特性曲線93は、夫々その電圧電流特性が異なり、特に、より定電流の負荷素子としてはディプレッション型の N 型 MOSFET が好ましいが、理想的な特性曲線94には程遠いものであった。

即ち、従来のディプレッション型の N 型 MOSFET は、第3図に示すように、P 型 Si 半導体基板95の表面に、N 型不純物を注入してソース領域96およびドレイン領域97を形成する。このソース領域96およびドレイン領域97の間にはチャネル領域を形成するために、半導体基板95の表面に酸化シリコン (SiO<sub>2</sub>) などからなる絶縁膜98を介して金属ゲート電極99が設けられている。このような構造では、ソース領域96の電位 V<sub>DD</sub> が上昇した場合、ボディ効果によってしきい値が正の方向にシフトする為、負荷素子としての特性(定電流源)が、第5図に示したように、特性曲線93の様になるので、理想的な特性曲線94に近付けるこ

そのチャネルが形成されているチャネル領域の導電型と、ソース領域及びゲート領域を形成する導電型とは同一の導電型で構成し、かつソース領域及びゲート領域の不純物濃度よりチャネル領域の不純物濃度を低くして構成し、その半導体膜の厚さがそのチャネル内に形成される空乏層の厚さより薄く形成した半導体装置である。特に、上記半導体膜の厚み D は、次式で与えられる値であれば好ましい。

$$D < 2 \left[ \frac{e \phi_F}{q N_A} \right]^{1/2}$$

(但し、N<sub>A</sub>は半導体膜の不純物濃度、φ<sub>F</sub>は静止電位から測ったフェルミエネルギー、e は半導体膜の誘電率、q は電子電荷量である。)

半導体膜の厚み D が上記条件を満たす場合、ソース領域の電位が上昇してもチャネル領域の電位はゲート電極によって支配されているために、基板バイアスの影響を受けない。したがって、ボディ効果によるしきい値電圧の正方向へのシフトがなくなるので、理想的な特性曲線に近付けること

とは困難となる。また、このような特性曲線93であっては、取扱う信号がデジタル信号であるために、スイッチング特性、すなわち、信号波形の立ち上がり立ち下がりが鈍くなると、高い周波数の信号処理が強い重くなってしまう等の欠点があった。

(発明が解決しようとする課題)

上述したように、従来の半導体装置の欠点を改良したもので、絶縁体の表面に堆積させた半導体膜の膜厚をチャネル領域に形成される空乏層の厚さより薄く形成することによって負荷素子に適した半導体装置としての特性(定電流源)を理想的な特性曲線に近付けるよう構成すると共に、スイッチング特性の良好なデジタル回路を構成可能な半導体装置を得ることを目的とする。

(発明の構成)

(課題を解決するための手段及びその作用)

本発明は、ソース領域とゲート領域の間への印加電圧が 0 V の時にチャネルが形成されているディプレッション型 MOSFET を構成するものにおいて、

が可能となる。第3図の曲線21は、本発明による負荷素子の負荷特性を示したもので、明らかに理想的な負荷特性に近いものとなる。

(実施例)

以下、本発明の実施例について詳細に説明する。第1図には本発明の半導体装置の原理を説明する図を断面構成図で示し、第2図に示すようなインバータ回路に適用した場合について説明する。

このインバータ回路を構成する半導体装置は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を構成し、基体となる SiO<sub>2</sub> の絶縁層 1 の表面上に Si の半導体膜 2 が堆積して形成され、この半導体膜 2 は P 型半導体であるが、第2図に示したインバータ回路のドライブ素子 10 と負荷素子 11 とを形成するために、ドライブ素子 10 のソース及びドレイン 13 と、負荷素子 11 のソース 13 (ドライブ素子 10 のドレイン 13 と共通であるため、参照符号は同一の番号を用いて説明する) 及びドレイン 14 とを構成する所定のパターンの領域は、N 型高濃度不純物の拡散した半導体膜

が形成されている。この半導体膜2の表面には、絶縁膜15を介してドライブ素子10のゲート電極16と負荷素子11のゲート電極17とが離間して形成され、ゲート電極16はドライブ素子10のソース12及びドレイン13との間に形成したチャネル領域18に対向するように配置されていて、ゲート電極17は負荷素子11のソース13及びドレイン14との間に形成したチャネル領域19に対向するように配置されている。

この基本となるSiO<sub>2</sub>の絶縁層1はSi基板20の上に設けられているが、絶縁層1やSi基板20を用いずに、半導体膜2を直接、サファイヤのような絶縁物上に形成するSOS(Silicon-On-Sapphire)構造で構成してもよい。

尚、このゲート電極17は、負荷素子11のソース13と同電位となるように電気的に接続され、出力電位V<sub>OUT</sub>となるように構成されている。また、ドライブ素子10のソース12は接地GNDされ、ゲート電極16は入力電位V<sub>IN</sub>。そして、負荷素子11のドレイン14は電源電位V<sub>DD</sub>に保持して構成され

えた場合に最大となる。これは、ポアソン方程式  $d^2(\phi)/dx^2 = qN_A/\epsilon$  を境界条件 ( $x=D$ 、 $d\phi(x)/dx=0$ 、 $\phi=0$ ) で解くと、

$$\phi(x) = (qN_A/2\epsilon) D^2 (1-x/D)^2$$

となり、表面 ( $x=0$ ) の電位を、空乏層の幅が最大となる  $2\phi_F$  とすると、

$$2\phi_F = qN_A D^2 / 2\epsilon$$

となるので、

$$D = 2 [\epsilon \phi_F / qN_A]^{1/2}$$

となる。

この様な本発明の半導体装置は、インバータ回路の負荷素子として用いることにより、第3図中の特性曲線21で示すように、理想的な負荷(特性曲線94)をインバータ回路に設けたと同様な特性を有する負荷素子が得られる。尚、第3図中に単なる抵抗負荷の特性曲線23と従来のディプレッション型負荷素子の特性曲線93についても比較のた

ている。

特に、この負荷素子11は、ソース・ゲート間の印加電圧が0Vの時にチャネルが形成されている。そして、絶縁層1の表面上に形成されている半導体膜2の厚さが負荷素子11のソース13及びドレイン14との間のチャネル領域19に形成される空乏層の厚さより薄く形成されている。この関係は、半導体膜2の厚さDが、

$$D = 2 [\epsilon \phi_F / qN_A]^{1/2}$$

(但し、 $N_A$ は半導体膜の不純物濃度、 $\phi_F$ は禁止帯中央から割ったフェルミエネルギー、 $\epsilon$ は半導体膜の誘電率、 $q$ は電子電荷量である。)で示される寸法以下の関係を満足するように形成されている。

尚、半導体膜2の厚さDが、上式の関係を越えると、ゲート電極が半導体膜を全て空乏化させることが不可能となる。上式はゲート電極によって形成させる空乏層の最大値を示している。空乏層の基板から深さ(幅)は、表面電位が  $2\phi_F$  をこ

めにした。このことは、デジタル回路におけるデジタル信号を扱う場合、そのスイッチング特性が良好となることから、高速なスイッチングが可能となり、より周波数の高い信号も容易に取扱うことができるのである。

次に、本発明の半導体装置をインバータ回路中に設けた負荷素子として構成した場合の製造工程について第4図を用いて説明する。先ず、第4図(a)に示すように、シリコン半導体基板30上にスパッタリング法(もしくはCVD法)により、酸化膜31を全面に1 $\mu$ m程度の厚さで堆積し、その上に多結晶シリコン膜32を1,000Å程度堆積する。この多結晶シリコン膜32は、第4図(b)に示すように、ビームアニール法(あるいはヒートアニール法)を用いて多結晶シリコンを単結晶シリコンとした後、ホウ素(B)(P型導電型を形成するための不純物)を全面にイオン注入してP型単結晶シリコン膜33を形成する。このP型単結晶シリコン膜33が第1図で示した半導体膜2に対応する。P型単結晶シリコン膜33の表面は、その全面にゲ

ート酸化膜34を設けるため、酸化雰囲気中で処理する熱酸化法により500Å程度の酸化膜層を形成する。そして、第4図(c)に示すように、このゲート酸化膜34上にレジスト膜35を設け、このレジスト膜35の負荷素子を形成するための部分には、所定のパターンの開孔36を形成し、P型単結晶シリコン膜33内にリン(P)(N型導電型を形成するための不純物)をしきい値制御によりイオン注入してN型不純物領域37を形成する。N型不純物領域37を形成した後、レジスト膜35は除去し、ゲート酸化膜34の表面に、第4図(d)に示すように、CVD法により3,500Å程度の厚さに多結晶シリコンを堆積して多結晶シリコン膜38を形成し、この多結晶シリコン膜38上のドライブ素子領域の上にのみレジスト膜39で被覆し、このレジスト膜39の被覆していない部分に、N型導電型を形成するための不純物であるリンをイオン注入してN型多結晶シリコン領域40を形成する。そして、レジスト膜39は削除し、次に、第4図(e)に示すように、新たにレジスト膜41を形成されたN型多結晶シリ

コン領域40の上にのみ被覆して、レジスト膜41の被覆していない部分に、P型導電型を形成するための不純物であるホウ素をイオン注入してP型多結晶シリコン領域42を形成する。そして、レジスト膜41は除去し、新たにゲート電極領域形成用のレジスト膜43をN型多結晶シリコン領域40及びP型多結晶シリコン領域42に被覆し、第4図(f)に示すように、RIB技術を用いて多結晶シリコン膜(40, 42)をパターニングする。その後、パターニングされたレジスト膜43を残したまま、レジストブロック法を用いて、多結晶シリコン膜32である半導体膜内にN型導電型を形成するための不純物であるひ素(As)をイオン注入して、第4図(g)に示すように、ドライブ素子と負荷素子のソース・ドレインに相当する部分にN型高濃度不純物領域44を形成し、最後にレジスト膜43を除去し、ドライブ素子のゲート電極45と負荷素子のゲート電極46を露出して、第4図(h)に示すように、配線47、保護膜48等を設けて基本的な構造の製造工程は完了する。

この時の負荷素子の具体的な形状パラメータは、

N型不純物領域37のピーク不純物濃度 $N_A$  :

$$1 \times 10^{17} \text{ cm}^{-3}$$

半導体膜の厚さ : 1,000Å

禁止帯中央から割ったフェルミエネルギー $\phi_F$  :

$$-0.348 \text{ V (at 300 K)}$$

半導体膜の誘電率 $\epsilon$  :  $1.03584 \times 10^{-14} \text{ F/cm}$

電子電荷量 $q$  :  $1.60218 \times 10^{-19} \text{ (C)}$

尚、他の形状パラメータは、

N型高濃度不純物領域44のピーク不純物濃度 :

$$1 \times 10^{20} \text{ cm}^{-3}$$

N型ゲート電極45の不純物濃度 :  $1 \times 10^{20} \text{ cm}^{-3}$

N型ゲート電極45の厚さ : 3,000Å

である。

上述した実施例では、ゲート電極45、46にアルミニウムを用いたが、タングステン・モリブデン等の高融点金属でもよい。また、負荷素子のチャネル部にP型不純物領域が存在してもよい。

このようにして得られたインバータ回路は、負荷素子が理想的な負荷特性、すなわち理想的な定

電流値に近い電流電圧特性を有するので、高速なスイッチング信号を扱うことができる。

(発明の効果)

以上、上述したように、本発明によれば、理想的な定電流値に近い電流電圧特性を有する半導体装置を構成できるので、デジタル回路での負荷素子に適用することによって、高速な信号処理が可能となり、ひいては優れた高速化集積回路を構成できるなどの優れた効果を発揮できる。

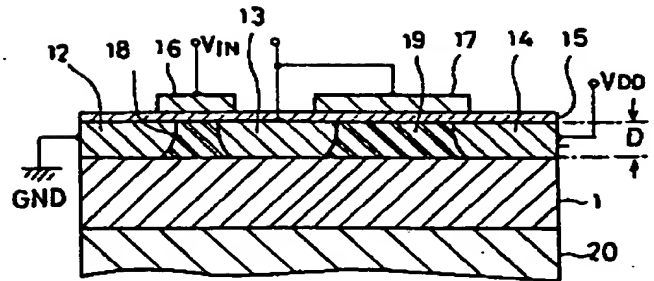
#### 4. 図面の簡単な説明

第1図は本発明の半導体装置の原理を説明する構成断面図、第2図は本発明の半導体装置を適用したインバータ回路の回路図、第3図は本発明の効果を示す特性曲線図、第4図は本発明の一実施例の半導体装置の製造工程を示す工程図、第5図は従来の半導体装置の断面図である。

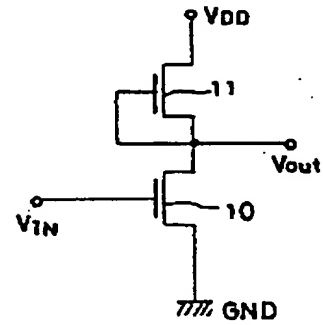
- |                           |                  |
|---------------------------|------------------|
| 1... $\text{SiO}_2$ の絶縁層、 | 2... Siの半導体膜、    |
| 10... ドライブ素子、             | 11... 負荷素子、      |
| 12... ソース、                | 13... ドレイン(ソース)、 |
| 14... ドレイン、               | 15... 絶縁膜、       |

- 16... ドライブ素子のゲート電極、
- 17... 負荷素子11のゲート電極、
- 18... ドライブ素子のチャネル領域、
- 19... 負荷素子のチャネル領域、
- 20... Si基板。

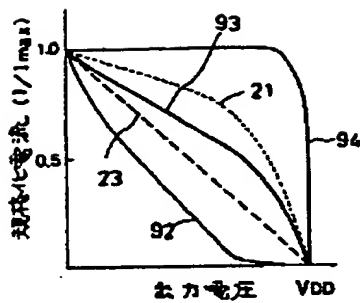
代理人 井理士 岡 近 藤 佑  
同 松 山 允 之



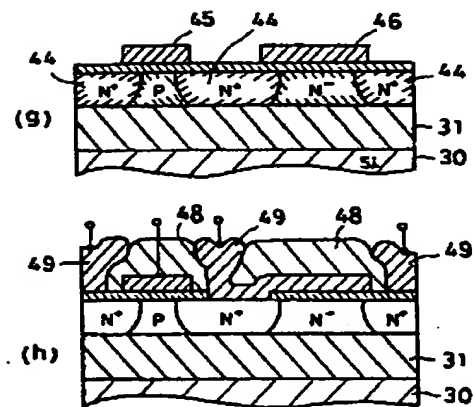
第 1 図



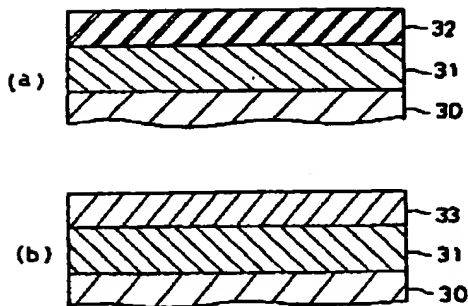
第 2 図



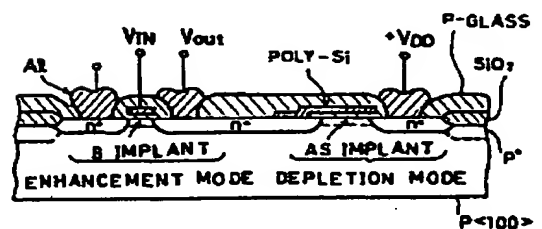
第 3 図



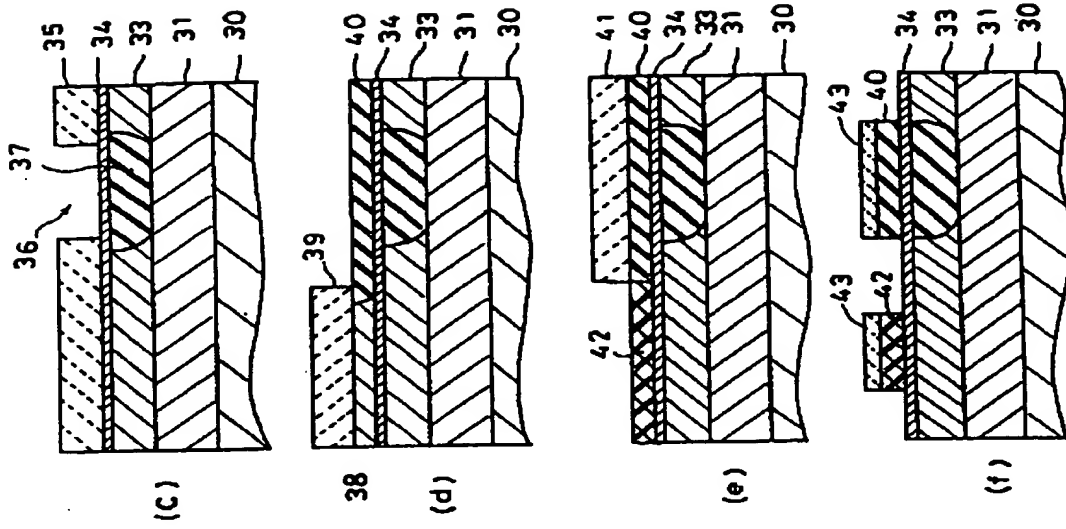
第 4 図



第 4 図



第 5 図



第 4 図